

\* NOTICES \*

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the illustration-cross section showing the outline composition of the semiconductor device concerning 1 operation gestalt of this invention.

[Drawing 2] It is the partial expanded sectional view expanding and showing the state before junction of a parent chip and a child chip.

[Drawing 3] It is the plan expanding and showing a part of child chip.

[Drawing 4] It is a cross section for explaining other formation methods of a bump and a closure film.

[Drawing 5] It is a plan for explaining other composition of a closure film.

[Drawing 6] In order to explain other operation gestalten of this invention, it is the partial expanded sectional view expanding and showing the state before junction of a parent chip and a child chip.

[Description of Notations]

1 Parent Chip (1st Semiconductor Chip)

2 Child Chip (2nd Semiconductor Chip)

4 Chip Closure Layer

11 Front Face (Front Face of 1st Semiconductor Chip)

21 Front Face (Front Face of 2nd Semiconductor Chip)

26 63 Closure film

27 51 Crevice

29 Degassing Slot

61 Metal Pad (Connection Material)

62 Opening (Opening Which Counters Pad)

BM, BS Bump (connection material)

---

[Translation done.]

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-243904

(43)Date of publication of application : 08.09.2000

(51)Int. Cl.

H01L 25/065

H01L 25/07

H01L 25/18

H01L 21/60

(21)Application number : 11-045212

(71)Applicant : ROHM CO LTD

(22)Date of filing : 23.02.1999

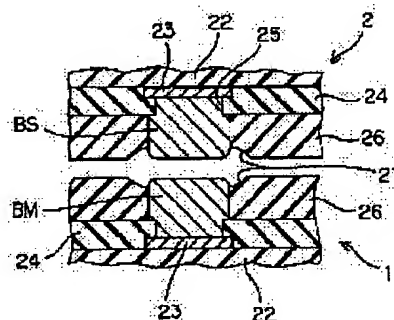
(72)Inventor : NAKAMURA TOMOHIITO

## (54) SEMICONDUCTOR DEVICE IN CHIP-ON-CHIP STRUCTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device in a chip-on-chip structure for reducing a processing time.

SOLUTION: Surfaces of a main chip 1 and a sub-chip 2 are covered with a sealing film 26, and bumps BM and BS are provided in a projected state in a recessed part 27 of the sealing film 26. The main chip 1 and the sub-chip 2 are connected electrically by joining the bump BM and the bump BS directly. When the main chip 1 and the sub-chip 2 are joined, the sealing film 26 of the main chip 1 and the sealing film 26 of the sub-chip 2 are pressed to each other, so an inter-chip sealing layer 4 is formed and a space between the main chip 1 and the sub-chip 2 is sealed with the inter-chip sealing layer 4.



## LEGAL STATUS

[Date of request for examination]

09.08.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] It is piled up and united and is joined to the front face of the 1st semiconductor chip by which connection material was formed in the front face, and this 1st semiconductor chip. The 2nd semiconductor chip by which the connection material stuck to the connection material of the 1st above-mentioned semiconductor chip by pressure was formed in the front face which counters the 1st above-mentioned semiconductor chip, The semiconductor device of the chip-on chip structure characterized by including the chips closure layer for closing between the 1st above-mentioned semiconductor chip and the 2nd above-mentioned semiconductor chip.

[Claim 2] The connection material of the 1st above-mentioned semiconductor chip and the 2nd above-mentioned semiconductor chip is the semiconductor device of the chip-on chip structure according to claim 1 characterized by being the bump formed in the front face of the 1st above-mentioned semiconductor chip and the 2nd above-mentioned semiconductor chip by upheaving, respectively.

[Claim 3] It is the semiconductor device of the chip-on chip structure according to claim 1 which the connection material of the 1st above-mentioned semiconductor chip is the bump formed in the front face of the 1st above-mentioned semiconductor chip by upheaving, and is characterized by the connection material of the 2nd above-mentioned semiconductor chip being a pad with a height lower than the above-mentioned bump.

[Claim 4] The above-mentioned chips closure layer is the semiconductor device of the chip-on chip structure according to claim 1 to 3 characterized by being formed by carrying out the pressure welding of the closure layer which was prepared in the front face of the 1st above-mentioned semiconductor chip and the 2nd above-mentioned semiconductor chip, respectively, and which can be transformed mutually.

[Claim 5] The semiconductor device of the chip-on chip structure according to claim 4 characterized by forming the concavity for exposing the point of connection material at least in one side of the closure layer of the 1st above-mentioned semiconductor chip and the 2nd above-mentioned semiconductor chip.

[Claim 6] The semiconductor device of the chip-on chip structure according to claim 5 characterized by forming the degassing slot for extracting the air in the above-mentioned concavity at the time of a junction of the 1st above-mentioned semiconductor chip and the 2nd above-mentioned semiconductor chip at least in one side of the closure layer of the 1st above-mentioned semiconductor chip and the 2nd above-mentioned semiconductor chip.

[Claim 7] The above-mentioned chips closure layer is the semiconductor device of the chip-on chip structure according to claim 1 to 3 characterized by being formed by making the front face of the semiconductor chip of another side carry out the pressure welding of the closure layer which was prepared in either the 1st above-mentioned semiconductor chip or the 2nd above-mentioned semiconductor chip, and which can be transformed.

---

[Translation done.]

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the semiconductor device of chip-on chip structure which lays other semiconductor chips on top of the front face of a semiconductor chip, and is joined to it.

[0002]

[Description of the Prior Art] For example, there is the so-called chip-on chip structure which piles up and joins the semiconductor chip of a couple as structure for attaining a miniaturization and high integration of a semiconductor device so that front faces may counter. Two or more bumps are prepared in the front face which counters other semiconductor chips at the semiconductor chip applied to this chip-on chip structure. And it is ACF (Anisotropic Conductive Film) between the semiconductor chips which counter in case the semiconductor chip of a couple is joined. It intervenes and the pressure welding of the bumps of the semiconductor chip which counters is carried out mutually. Thereby, between the semiconductor chips of a couple is closed by ACF. Moreover, the conductive capsule contained in ACF is crushed by part for a bump's joint, and when energization becomes possible among the bumps who joined mutually, the electrical connection between the semiconductor chips of a couple is attained.

[0003]

[Problem(s) to be Solved by the Invention] However, the conductive capsule of ACF was crushed by part for a bump's joint, and by the time the conductivity was demonstrated, there was a problem that comparatively long time (about 30 seconds about room) required comparatively long time with the semiconductor device of the conventional chip-on chip structure at a manufacturing process for such a reason.

[0004] Then, the purpose of this invention is offering the semiconductor device of chip-on chip structure which can shorten the time which solves an above-mentioned technical technical problem and a manufacture takes.

[0005]

[The means and effect of the invention] for solving a technical problem Invention according to claim 1 for attaining the above-mentioned purpose It is piled up and united and is joined to the front face of the 1st semiconductor chip by which connection material was formed in the front face, and this 1st semiconductor chip. The 2nd semiconductor chip by which the connection material stuck to the connection material of the 1st above-mentioned semiconductor chip by pressure was formed in the front face which counters the 1st above-mentioned semiconductor chip, It is the semiconductor device of the chip-on chip structure characterized by including the chips closure layer for closing between the 1st above-mentioned semiconductor chip and the 2nd above-mentioned semiconductor chip.

[0006] According to this invention, when the connection material of the 1st semiconductor chip and the connection material of the 2nd semiconductor chip are stuck by pressure, the 1st semiconductor chip and 2nd semiconductor chip are connected. For example, when the connection material of the 1st and 2nd semiconductor chips consists of gold, the time which sticking by pressure with the connection material of the 1st semiconductor chip and the connection material of the 2nd semiconductor chip takes is a short time comparatively with an about 0.1 seconds about room. Therefore, according to the configuration of this invention, it is ACF (Anisotropic Conductive Film) about the connection material of the 1st semiconductor chip, and the connection material of the 2nd semiconductor chip. Compared with the configuration which is made to intervene and is connected, the time which a manufacture of this semiconductor device takes can be shortened.

[0007] Moreover, since it is closed in the chips closure layer between the 1st semiconductor chip and the 2nd semiconductor chip, the air which entered between the 1st semiconductor chip and the 2nd semiconductor chip carries out thermal expansion, and it can avoid un-arranging [ of giving a damage to the 1st semiconductor chip or the 2nd semiconductor chip ]. Moreover, in case the 1st semiconductor chip and the 2nd semiconductor chip are dedicated to a package, the stress which acts on the 1st semiconductor chip and the 2nd semiconductor chip can be eased in a chips closure layer, and deformation of the 1st semiconductor chip and the 2nd semiconductor chip can be prevented.

[0008] In addition, the connection material of the 1st above-mentioned semiconductor chip and the 2nd above-mentioned semiconductor chip may be the bump upheaved and formed in the front face of the 1st above-mentioned semiconductor chip and the 2nd above-mentioned semiconductor chip, respectively like a claim 2. Moreover, the connection material of the 1st above-mentioned semiconductor chip may be the bump formed in the front face of the 1st above-mentioned semiconductor chip by upheaving like a claim 3, and the connection material of the 2nd above-mentioned semiconductor chip may be a pad

with a height lower than the above-mentioned bump.

[0009] Furthermore, the above-mentioned chips closure layer may be formed like a claim 4 by carrying out the pressure welding of the closure layer which was prepared in the front face of the 1st above-mentioned semiconductor chip and the 2nd above-mentioned semiconductor chip, respectively and which can be transformed mutually. In this case, it is desirable that the concavity for exposing the point of connection material is formed at least in one side of the closure layer of the 1st above-mentioned semiconductor chip and the 2nd above-mentioned semiconductor chip like a claim 5. There is no possibility that a closure layer may intervene between the connection material of the 1st semiconductor chip, and the connection material of the 2nd semiconductor chip, and the connection material of the 1st semiconductor chip and the connection material of the 2nd semiconductor chip can be made to stick to it by pressure good by carrying out like this.

[0010] Moreover, it is more desirable that the degassing slot for extracting the air in the above-mentioned concavity at the time of a junction of the 1st above-mentioned semiconductor chip and the 2nd above-mentioned semiconductor chip is formed at least in one side of the closure layer of the 1st above-mentioned semiconductor chip and the 2nd above-mentioned semiconductor chip like a claim 6. In case the pressure welding of the closure layer of the 1st semiconductor chip and the closure layer of the 2nd semiconductor chip is carried out by carrying out like this, the air in the concavity of these closure layers can be made to flow out through a degassing slot. Thereby, without leaving air between the 1st semiconductor chip and the 2nd semiconductor chip, between the 1st and 2nd semiconductor chips can be closed good, and the semiconductor device without a possibility of producing un-arranging according to cellular mixing of a between [ the 1st and 2nd semiconductor chips ] can be realized.

[0011] The above-mentioned chips closure layer may be formed like a claim 7 further again by making the front face of the semiconductor chip of another side carry out the pressure welding of the closure layer which was prepared in either the 1st above-mentioned semiconductor chip or the 2nd above-mentioned semiconductor chip and which can be transformed. In this case, the connection material of the 1st above-mentioned semiconductor chip is the bump formed in the front face of the 1st above-mentioned semiconductor chip by upheaving, the connection material of the 2nd above-mentioned semiconductor chip is a pad with a height lower than the above-mentioned bump, and, as for the above-mentioned closure layer, it is desirable for a laminating to be carried out on the semiconductor chip of the above 2nd, and to have opening which counters the above-mentioned pad. Since the bump of the 1st semiconductor chip is guided at opening formed in the closure layer and a bump's point contacts a pad in case the 1st semiconductor chip and 2nd semiconductor chip are joined by carrying out like this, position doubling of the 1st semiconductor chip and the 2nd semiconductor chip can be performed good, and the 1st semiconductor chip and 2nd semiconductor chip can be connected certainly.

[0012] Moreover, it is desirable that the degassing slot for extracting the air in the above-mentioned opening at the time of a junction of the 1st above-mentioned semiconductor chip and the 2nd above-mentioned semiconductor chip is formed in the above-mentioned closure layer. In case the 1st semiconductor chip and 2nd semiconductor chip are joined by preparing this degassing slot, the air between the bumps who entered in a closure layer and opening can be made to flow out through a degassing slot. Thereby, without leaving air between the 1st semiconductor chip and the 2nd semiconductor chip, between the 1st and 2nd semiconductor chips can be closed good, and the semiconductor device without a possibility of producing un-arranging according to cellular mixing of a between [ the 1st and 2nd semiconductor chips ] can be realized.

[0013]

[Embodiments of the Invention] Below, the gestalt of implementation of this invention is explained in detail with reference to an accompanying drawing. Drawing 1 is an illustration-cross section showing the outline configuration of the semiconductor device concerning the 1 operation gestalt of this invention. This semiconductor device has the so-called chip-on chip structure, and after laying the child chip 2 on top of the front face 11 of the parent chip 1 and joining to it, it is constituted by dedicating these to a package 3.

[0014] The parent chip 1 and the child chip 2 consist of a silicon chip. The front face 11 of the parent chip 1 is a front face by the side of the activity cortex field in which functional devices, such as a transistor, were formed in the semiconductor substrate which makes the base of the parent chip 1. Near the periphery of this front face 11, two or more pads 12 for external connection are arranged, and the pad 12 for this external connection is connected to the leadframe 14 by the bonding wire 13. Moreover, in the front face 11 of the parent chip 1, two or more bump BM for the electrical connection with the child chip 2 is arranged.

[0015] The child chip 2 is joined to the parent chip 1 by the so-called face down method which made the front face 21 counter the front face 11 of the parent chip 1. The front face of the child chip 2 is a front face by the side of the activity cortex field in which functional devices, such as a transistor, were formed in the semiconductor substrate which makes the base of the child chip 2. In the front face of the child chip 2, two or more bump BSs connected to the internal wiring counter bump BM of the parent chip 1, and are arranged, and the child chip 2 is electrically connected with the parent chip 1 while it is supported by the upper part of the parent chip 1 by connecting with bump BM of the parent chip 1 with which bump BS counters, respectively.

[0016] Moreover, it is closed between the parent chip 1 and the child chip 2 in the chips closure layer 4 which has insulation. Thereby, in case the parent chip 1 and the child chip 2 are dedicated in a package 3, it can prevent that air enters between the parent chip 1 and the child chip 2. Therefore, the air which entered between the parent chip 1 and the child chip 2 carries out thermal expansion, and can avoid un-arranging [ of giving a damage to the parent chip 1 or the child chip 2 ]. Moreover, in case the parent chip 1 and the child chip 2 are dedicated to a package 3, the stress which acts on the parent chip 1 and the

child chip 2 can be eased in the chips closure layer 4, and deformation of the parent chip 1 and the child chip 2 can be prevented.

[0017] Drawing 2 is a partial expanded sectional view expanding and showing the status before a junction of the parent chip 1 and the child chip 2. Moreover, drawing 3 is a plan expanding and showing a part of child chip 2. Since the configuration about near the front face of the parent chip 1 is the same as the configuration about near the front face of the child chip 2, below, suppose that it explains focusing on the child chip 2 to it, and it attaches and shows the reference mark of the correspondence fraction of the child chip 2 to each part of the parent chip 1 in this drawing 2.

[0018] On the semiconductor substrate (not shown) which makes the base of the child chip 2, the layer insulation layer 22 which consists of a silicon oxide is formed, and the internal wiring 23 is arranged on this layer insulation layer 22. The front face of the layer insulation layer 22 and the internal wiring 23 is being worn by the protective coat 24 which consists of a silicon nitride. The internal wiring 23 is countered and the pad opening 25 for exposing a part of internal wiring 23, respectively is formed in the protective coat 24.

[0019] On the internal wiring 23 exposed from the protective coat 24 through the pad opening 25, bump BS which consisted of an oxidation-resistant metal is upheaved and formed. As an oxidation-resistant metal, gold, platinum, silver, palladium, or iridium can be illustrated, for example. The front face of a protective coat 24 is being worn by the closure layer 26 which can deform. The earthenware mortar-like concavity 27 is formed in the front face of the closure layer 26 in relation to bump BS, and the point of bump BS is projected in a concavity 27, and is exposed from the closure layer 26. Moreover, the free passage slot 28 for opening for free passage the concavity 27 which adjoins mutually at the time of a junction for the parent chip 1, and the degassing slot 29 for extracting air (air) from the concavity 27 near a periphery are formed in the front face of the closure layer 26.

[0020] The closure layer 26 consists of a polyimide to which photosensitivity was given, and a concavity 27, the free passage slot 28, and the degassing slot 29 can be formed by performing exposure and a development. That is, after forming the pad opening 25 in a protective coat 24 and forming bump BS on the internal wiring 23 exposed through this pad opening 25, the closure layer 26 is formed by applying a photosensitive sol-like polyimide on a protective coat 24. This closure layer 26 is formed in a thickness larger than the height of for example, bump BS. And ultraviolet rays are irradiated to the field which should form the field which counters bump BS of the front face of the closure layer 26, the field which should form the free passage slot 28, and the degassing slot 29, and these fields are exposed. Then, pattern formation of a concavity 27, the free passage slot 28, and the degassing slot 29 can be carried out by melting and removing the fraction by which the front face of the closure layer 26 was exposed by the solvent.

[0021] In case the child chip 2 is joined to the parent chip 1, the pressure welding of the parent chip 1 and the child chip 2 is mutually carried out in the status that bump BS was made to contact bump BM of the parent chip 1. By this pressure welding, bump BM of the parent chip 1 and bump BS of the child chip 2 are stuck by pressure, and the electrical connection of the parent chip 1 and the child chip 2 is attained. Moreover, the closure layer 26 of the parent chip 1 and the closure layer 26 of the child chip 2 are crashed, the concavity 27, the free passage slot 28, and the degassing slot 29 which were formed in each closure layer 26 are lost, the chips closure layer 4 is formed, and between the parent chip 1 and the child chips 2 is closed by this chips closure layer 4. In the case of this closure, the air in a concavity 27 flows into the concavity 27 which escapes from and comes out from between the parent chip 1 and the child chips 2 to the exterior through the degassing slot 29, or adjoins through the free passage slot 28, and it escapes from and comes out of it to the exterior through the degassing slot 29 connected to this concavity 27. Thereby, air can be removed from between the parent chip 1 and the child chips 2 nearly completely, and between the parent chip 1 and the child chips 2 can be closed good.

[0022] As mentioned above, according to this operation gestalt, by sticking directly bump BM of the parent chip 1, and bump BS of the child chip 2 by pressure, electrical connection of the parent chip 1 and the child chip 2 is carried out, and between the parent chip 1 and the child chips 2 is closed by joining the closure layer 26 of the parent chip 1, and the closure layer 26 of the child chip 2, and forming the chips closure layer 4.

[0023] For example, when bumps BM and BS consist of gold, the time which sticking by pressure with bump BM and bump BS takes is a short time comparatively with an about 0.1 seconds about room. Therefore, according to the configuration of this operation gestalt, it is ACF (Anisotropic Conductive Film) about bumps BM and BS. Compared with the configuration which is made to intervene and is connected, the time which a manufacture of this semiconductor device takes can be shortened.

[0024] Moreover, the air between the closure layer 26 of the parent chip 1 and the closure layer 26 of the child chip 2 is removed nearly completely at the time (at the time of formation of the chips closure layer 4) of a junction of these closure layers 26, and it is prevented that air enters between the parent chip 1 and the child chip 2 by this chips closure layer 4 after formation of the chips closure layer 4. Thereby, between the parent chip 1 and the child chips 2 can be closed good, and the semiconductor device without a possibility of producing un-arranging according to cellular mixing of a between [ the parent chip 1 and the child chip 2 ] can be realized.

[0025] In addition, although [ this operation gestalt ] the closure layer 26 is formed after bumps' BM and BS formation, after forming the closure layer 26, bumps BM and BS may be formed. For example, drawing 4 (a) After forming the pad opening 25 in a protective coat 24 so that it may be shown, the closure layer 26 is formed on the protective coat 24 besides this pad opening 25. In other words, the laminating of the closure layer 26 which has opening 26A corresponding to the pad opening 25 on the protective coat 24 in which the pad opening 25 was formed is carried out. And drawing 4 (b) You may form bumps

BM and BS by making bumps' BM and BS material deposit by plating on the internal wiring 23 exposed through opening 26A and the pad opening 25 so that it may be shown.

[0026] Moreover, although the thickness of the closure layer 26 is set up with this operation gestalt more greatly than bumps' BM and BS height, as for the thickness of the closure layer 26, it is good to be pertinently changed according to the material of the closure layer 26 and the bumps BM and BS. For example, drawing 4 (b) As an imaginary line shows, the thickness of the closure layer 26 may be set up lower than bumps' BM and BS height. In addition, as a material of the closure layer 26, JCR (Junction Coat Resist:tradename) can be used in addition to a photosensitive polyimide.

[0027] Furthermore, although a concavity 27 is formed in the front face of the closure layer 26 and the free passage slot 28 and the degassing slot 29 are prolonged and formed from this concavity 27 with this operation gestalt, for example, the band-like concavity 51 is formed in the front face of the closure layer 26 along a chip periphery, and two or more bumps' BM and BS point may be made to project in this concavity 51, as shown in drawing 5.

[0028] Although the closure layer 26 has photosensitivity and the concavity 27, the free passage slot 28, and the degassing slot 29 on surface of the closure layer 26 are formed of exposure and a development further again When the closure layer 26 does not have photosensitivity, when the fraction which pattern formation of the resist layer is carried out on the closure layer 26, and is not covered by this resist layer is removed by etching, it is good to form a concavity 27, the free passage slot 28, and the degassing slot 29.

[0029] Drawing 6 is a partial expanded sectional view expanding and showing the status before a junction of the parent chip 1 and the child chip 2, in order to explain other operation gestalt of this invention. In this drawing 6, suppose that the same reference mark as the case of drawing 2 is attached and shown, and, below, it explains to the fraction equivalent to each part shown in drawing 2 focusing on the difference with the 1st operation gestalt mentioned above.

[0030] With this operation gestalt, the closure layer 26 prepared in the front face of the child chip 2 is omitted with the 1st operation gestalt mentioned above, and the front face of the protective coat 24 of the child chip 2 is exposed. Moreover, the metal pad 61 of the shape of a thin film which consists of an oxidation-resistant metal is formed on the internal wiring 23 exposed from the protective coat 24 through the pad opening 25, and the laminating of the closure layer 63 which has the opening 62 corresponding to the metal pad 61 is carried out to the parent chip 1 on the protective coat 24.

[0031] At the time of a junction for the parent chip 1 and the child chip 2, bump BS enters into the opening 62 of the closure layer 63, and it enters in concavity 61A by which the point of bump BS was formed in the metal pad 61 corresponding to the pad opening 25, and bump BS and the metal pad 61 are stuck by pressure, where a concavo-convex combination is made. Moreover, by carrying out the pressure welding of the closure layer 63 of the parent chip 1 to the protective coat 24 of the child chip 2, the opening between the closure layer 63 and bump BS is lost, the chips closure layer 4 (refer to the drawing 1) is formed, and between the parent chip 1 and the child chips 2 is closed by this chips closure layer 4.

[0032] Therefore, the time which a manufacture of this semiconductor device takes can be shortened by the configuration of this operation gestalt as well as the configuration of the 1st operation gestalt mentioned above. Moreover, between the parent chip 1 and the child chips 2 can be closed good, and the semiconductor device without a possibility of producing the internal stress by cellular mixing can be realized. Moreover, with this operation gestalt, in case the parent chip 1 and the child chip 2 are joined Since a concavo-convex combination is made when bump BS is guided at the opening 62 formed in the closure layer 63 and the point of bump BS enters into concavity 61A of the metal pad 61 Position doubling of the parent chip 1 and the child chip 2 can be performed good, and the electrical connection of the parent chip 1 and the child chip 2 can be formed certainly.

[0033] In addition, although the metal pad 61 and the closure layer 63 are formed in the parent chip 1 and bump BS is prepared in the child chip 2 with this operation gestalt, bump BM may be prepared in the parent chip 1, and the metal pad 61 and the closure layer 63 may be formed in the child chip 2. Moreover, the metal pad 61 may be formed in the parent chip 1, bump BS and the closure layer 63 may be formed in the child chip 2, bump BM and the closure layer 63 may be formed in the parent chip 1, and the metal pad 61 may be formed in the child chip 2.

[0034] Furthermore, it is desirable that the degassing slot for extracting the air in opening 62 is formed in the front face of the closure layer 63. If this degassing slot is prepared, in case the parent chip 1 and the child chip 2 will be joined, the air between bump BSs which entered in the closure layer 63 and the opening 62 can be made to be able to flow out through a degassing slot, air can be removed from between the parent chip 1 and the child chips 2 nearly completely, and between the parent chip 1 and the child chips 2 can be more closed to the fitness.

[0035] Although an explanation of the gestalt of implementation of this invention is as above, this invention is not limited to the operation gestalt mentioned above. For example, although [ the parent chip 1 and the child chip 2 ] it is the chip which all consists of silicon, they may be a semiconductor chip which used other arbitrary semiconductor materials other than silicon, such as compound semiconductors (for example, GaAs semiconductor etc.) and a germanium semiconductor. In this case, the semiconductor material of the child chip 2 may be the same as the semiconductor material of the parent chip 1, and may differ from each other.

[0036] In addition, it is possible to perform various design changes within the limits of the matter indicated by the claim.

[Translation done.]

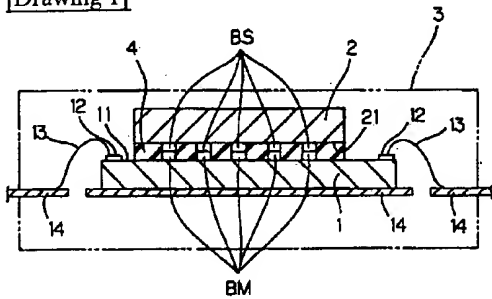
**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

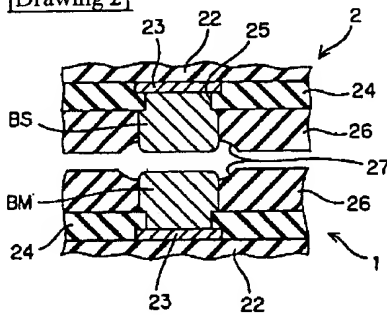
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**DRAWINGS**

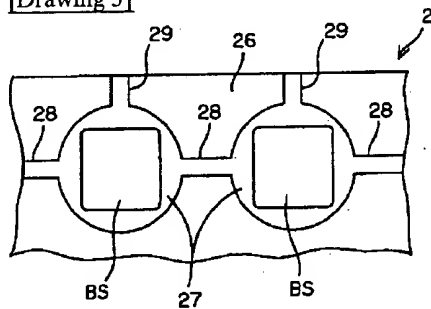
[Drawing 1]



[Drawing 2]

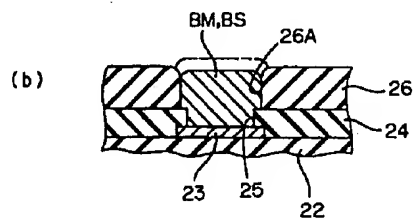
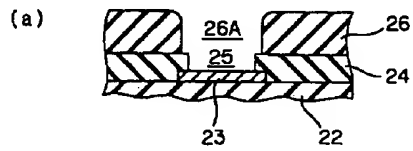


[Drawing 3]

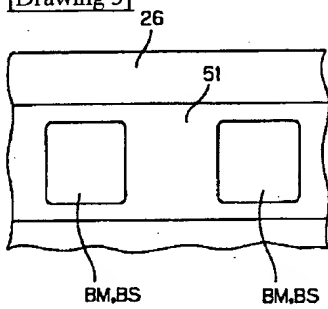


[Drawing 4]

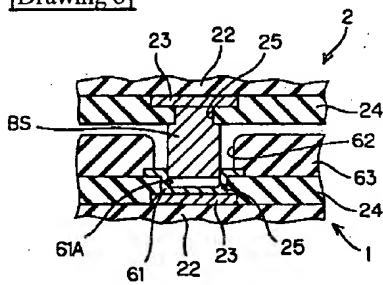




[Drawing 5]



[Drawing 6]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-243904  
(P2000-243904A)

(43)公開日 平成12年9月8日(2000.9.8)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

ターム(参考)

H 0 1 L 25/065

H 0 1 L 25/08

B 5 F 0 4 4

25/07

21/60

3 1 1 S

25/18

21/60

3 1 1

審査請求 未請求 請求項の数7 O L (全 7 頁)

(21)出願番号

特願平11-45212

(22)出願日

平成11年2月23日(1999.2.23)

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 中村 智史

京都市右京区西院溝崎町21番地 ローム株式会社内

(74)代理人 100087701

弁理士 稲岡 耕作 (外2名)

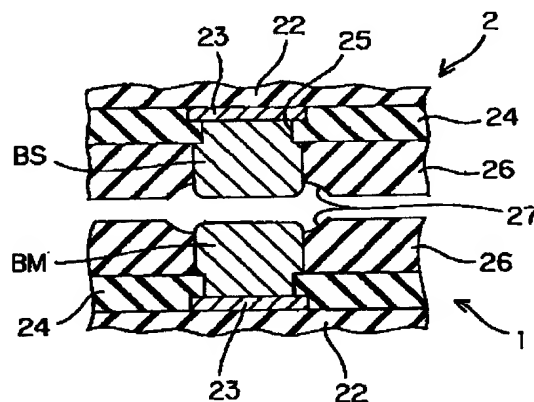
Fターム(参考) 5F044 LL11 RR02 RR18

(54)【発明の名称】 チップ・オン・チップ構造の半導体装置

(57)【要約】

【課題】製造に要する時間を短縮できるチップ・オン・チップ構造の半導体装置を提供する。

【解決手段】親チップ1および子チップ2の表面には、封止膜26で覆われており、バンパBM、BSは、封止膜26に形成された凹部27内に突出した状態に設けられている。親チップ1と子チップ2とは、バンパBMとバンパBSとが直接に圧着されることにより電気接続される。また、親チップ1と子チップ2との接合時には、親チップ1の封止膜26と子チップ2の封止膜26とが圧接されることによりチップ間封止層4が形成され、このチップ間封止層4によって親チップ1と子チップ2との間が封止される。



## 【特許請求の範囲】

【請求項1】表面に接続部材が形成された第1の半導体チップと、

この第1の半導体チップの表面に重ね合わされて接合され、上記第1の半導体チップに対向する表面に、上記第1の半導体チップの接続部材に圧着する接続部材が形成された第2の半導体チップと、

上記第1の半導体チップと上記第2の半導体チップとの間を封止するためのチップ間封止層を含むことを特徴とするチップ・オン・チップ構造の半導体装置。

【請求項2】上記第1の半導体チップおよび上記第2の半導体チップの接続部材は、それぞれ上記第1の半導体チップおよび上記第2の半導体チップの表面に隆起して形成されたバンパであることを特徴とする請求項1記載のチップ・オン・チップ構造の半導体装置。

【請求項3】上記第1の半導体チップの接続部材は、上記第1の半導体チップの表面に隆起して形成されたバンパであり、

上記第2の半導体チップの接続部材は、上記バンパよりも高さが低いパッドであることを特徴とする請求項1記載のチップ・オン・チップ構造の半導体装置。

【請求項4】上記チップ間封止層は、上記第1の半導体チップおよび上記第2の半導体チップの表面にそれぞれ設けられた変形可能な封止膜を相互に圧接させることにより形成されていることを特徴とする請求項1ないし3のいずれかに記載のチップ・オン・チップ構造の半導体装置。

【請求項5】上記第1の半導体チップおよび上記第2の半導体チップの封止膜の少なくとも一方には、接続部材の先端部を露出させるための凹部が形成されていることを特徴とする請求項4記載のチップ・オン・チップ構造の半導体装置。

【請求項6】上記第1の半導体チップおよび上記第2の半導体チップの封止膜の少なくとも一方には、上記第1の半導体チップと上記第2の半導体チップの接合時に、上記凹部内の空気を抜き出すためのエア抜き溝が形成されていることを特徴とする請求項5記載のチップ・オン・チップ構造の半導体装置。

【請求項7】上記チップ間封止層は、上記第1の半導体チップまたは上記第2の半導体チップの一方に設けられた変形可能な封止膜を他方の半導体チップの表面に圧接させることにより形成されていることを特徴とする請求項1ないし3のいずれかに記載のチップ・オン・チップ構造の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、たとえば、半導体チップの表面に他の半導体チップを重ね合わせて接合するチップ・オン・チップ構造の半導体装置に関する。

## 【0002】

【従来の技術】たとえば、半導体装置の小型化および高集積化を図るための構造として、一対の半導体チップを表面同士が対向するように重ね合わせて接合する、いわゆるチップ・オン・チップ構造がある。このチップ・オン・チップ構造に適用される半導体チップには、他の半導体チップに対向する表面に複数個のバンパが設けられている。そして、一対の半導体チップを接合させる際には、対向する半導体チップ間にACF (Anisotropic Conductive Film) が介在されて、対向する半導体チップのバンパ同士が相互に圧接される。これにより、一対の半導体チップ間がACFで封止される。また、バンパの接合部分でACFに含まれている導電性カプセルが潰れて、互いに接合したバンパ間で通電が可能となることにより、一対の半導体チップ間の電気接続が達成される。

## 【0003】

【発明が解決しようとする課題】ところが、バンパの接合部分でACFの導電性カプセルが潰れて、その導電性が発揮されるまでには比較的長い時間（約30秒間程度）がかかるため、従来のチップ・オン・チップ構造の半導体装置では、製造工程に比較的長い時間を要するといった問題があった。

【0004】そこで、この発明の目的は、上述の技術的課題を解決し、製造に要する時間を短縮できるチップ・オン・チップ構造の半導体装置を提供することである。

## 【0005】

【課題を解決するための手段および発明の効果】上記の目的を達成するための請求項1記載の発明は、表面に接続部材が形成された第1の半導体チップと、この第1の半導体チップの表面に重ね合わされて接合され、上記第1の半導体チップに対向する表面に、上記第1の半導体チップの接続部材に圧着する接続部材が形成された第2の半導体チップと、上記第1の半導体チップと上記第2の半導体チップとの間を封止するためのチップ間封止層を含むことを特徴とするチップ・オン・チップ構造の半導体装置である。

【0006】この発明によれば、第1の半導体チップの接続部材と第2の半導体チップの接続部材とが圧着することにより、第1の半導体チップと第2の半導体チップとが接続される。たとえば、第1および第2の半導体チップの接続部材が金で構成されている場合、第1の半導体チップの接続部材と第2の半導体チップの接続部材との圧着に要する時間は約0.1秒間程度と比較的短時間である。したがって、この発明の構成によれば、第1の半導体チップの接続部材と第2の半導体チップの接続部材とをACF (Anisotropic Conductive Film) を介在させて接続する構成に比べて、この半導体装置の製造に要する時間を短縮することができる。

【0007】また、第1の半導体チップと第2の半導体チップとの間は、チップ間封止層で封止されているから、第1の半導体チップと第2の半導体チップとの間に

入り込んだ空気が熱膨張して、第1の半導体チップまたは第2の半導体チップなどにダメージを与えるといった不都合を回避できる。また、第1の半導体チップおよび第2の半導体チップがパッケージに納められる際などに、第1の半導体チップおよび第2の半導体チップに作用する応力をチップ間封止層で緩和することができ、第1の半導体チップおよび第2の半導体チップの変形を防止できる。

【0008】なお、請求項2のように、上記第1の半導体チップおよび上記第2の半導体チップの接続部材は、それぞれ上記第1の半導体チップおよび上記第2の半導体チップの表面に隆起して形成されたバンパであってもよい。また、請求項3のように、上記第1の半導体チップの接続部材は、上記第1の半導体チップの表面に隆起して形成されたバンパであり、上記第2の半導体チップの接続部材は、上記バンパよりも高さが低いパッドであってもよい。

【0009】さらに、請求項4のように、上記チップ間封止層は、上記第1の半導体チップおよび上記第2の半導体チップの表面にそれぞれ設けられた変形可能な封止膜を相互に圧接させることにより形成されてもよい。この場合、請求項5のように、上記第1の半導体チップおよび上記第2の半導体チップの封止膜の少なくとも一方には、接続部材の先端部を露出させるための凹部が形成されていることが好ましい。こうすることにより、第1の半導体チップの接続部材と第2の半導体チップの接続部材との間に封止膜が介在されるおそれがなく、第1の半導体チップの接続部材と第2の半導体チップの接続部材とを良好に圧着させることができる。

【0010】また、請求項6のように、上記第1の半導体チップおよび上記第2の半導体チップの封止膜の少なくとも一方には、上記第1の半導体チップと上記第2の半導体チップの接合時に、上記凹部内の空気を抜き出すためのエア抜き溝が形成されていることがより好ましい。こうすることにより、第1の半導体チップの封止膜と第2の半導体チップの封止膜とを圧接させる際に、これらの封止膜の凹部内の空気をエア抜き溝を介して流出させることができる。これにより、第1の半導体チップと第2の半導体チップとの間に空気を残すことなく、第1および第2の半導体チップ間を良好に封止することができ、第1および第2の半導体チップ間への気泡混入による不都合を生じるおそれがない半導体装置を実現できる。

【0011】さらにまた、請求項7のように、上記チップ間封止層は、上記第1の半導体チップまたは上記第2の半導体チップの一方に設けられた変形可能な封止膜を他方の半導体チップの表面に圧接させることにより形成されてもよい。この場合、上記第1の半導体チップの接続部材は、上記第1の半導体チップの表面に隆起して形成されたバンパであり、上記第2の半導体チップの接続

部材は、上記バンパよりも高さが低いパッドであって、上記封止膜は、上記第2の半導体チップ上に積層されて、上記パッドに対向する開口部を有していることが好ましい。こうすることにより、第1の半導体チップと第2の半導体チップとを接合する際に、第1の半導体チップのバンパが封止膜に形成された開口部に案内されて、バンパの先端部がパッドに当接するので、第1の半導体チップと第2の半導体チップとの位置合わせを良好に行うことができ、第1の半導体チップと第2の半導体チップとを確実に接続することができる。

【0012】また、上記封止膜には、上記第1の半導体チップと上記第2の半導体チップの接合時に、上記開口部内の空気を抜き出すためのエア抜き溝が形成されていることが好ましい。このエア抜き溝を設けることにより、第1の半導体チップと第2の半導体チップとを接合させる際に、封止膜と開口部内に入り込んだバンパとの間の空気をエア抜き溝を介して流出させることができる。これにより、第1の半導体チップと第2の半導体チップとの間に空気を残すことなく、第1および第2の半導体チップ間を良好に封止することができ、第1および第2の半導体チップ間への気泡混入による不都合を生じるおそれがない半導体装置を実現できる。

#### 【0013】

【発明の実施の形態】以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。図1は、この発明の一実施形態に係る半導体装置の概略構成を示す図解的な断面図である。この半導体装置は、いわゆるチップ・オン・チップ構造を有しており、親チップ1の表面11に子チップ2を重ね合わせて接合した後、これらをパッケージ3に納めることによって構成されている。

【0014】親チップ1および子チップ2は、たとえばシリコンチップからなっている。親チップ1の表面11は、親チップ1の基体をなす半導体基板においてトランジスタなどの機能素子が形成された活性表層領域側の表面である。この表面11の周縁付近には、外部接続用の複数のパッド12が配置されており、この外部接続用のパッド12は、ボンディングワイヤ13によってリードフレーム14に接続されている。また、親チップ1の表面11には、子チップ2との電気接続のための複数のバンパBMが配置されている。

【0015】子チップ2は、表面21を親チップ1の表面11に対向させた、いわゆるフェースダウン方式で親チップ1に接合されている。子チップ2の表面は、子チップ2の基体をなす半導体基板においてトランジスタなどの機能素子が形成された活性表層領域側の表面である。子チップ2の表面には、内部配線に接続された複数のバンパBSが親チップ1のバンパBMに対向して配置されており、子チップ2は、バンパBSがそれぞれ対向する親チップ1のバンパBMに接続されることによって、親チップ1の上方に支持されるとともに、親チップ

10

20

30

40

50

1と電氣的に接続されている。

【0016】また、親チップ1と子チップ2との間は、絶縁性を有するチップ間封止層4で封止されている。これにより、親チップ1および子チップ2をパッケージ3内に納める際に、親チップ1と子チップ2との間に空気が入り込むのを防止できる。ゆえに、親チップ1と子チップ2との間に入り込んだ空気が熱膨張して、親チップ1または子チップ2などにダメージを与えるといった不都合を回避できる。また、親チップ1および子チップ2がパッケージ3に納められる際などに、親チップ1および子チップ2に作用する応力をチップ間封止層4で緩和することができ、親チップ1および子チップ2の変形を防止できる。

【0017】図2は、親チップ1および子チップ2の接合前の状態を拡大して示す部分拡大断面図である。また、図3は、子チップ2の一部を拡大して示す平面図である。親チップ1の表面付近に関する構成は、子チップ2の表面付近に関する構成と同様であるから、以下では、子チップ2を中心に説明することとし、この図2においては、親チップ1の各部には、子チップ2の対応部分の参照符号を付して示す。

【0018】子チップ2の基体をなす半導体基板（図示せず）上には、たとえば酸化シリコンで構成される層間絶縁膜22が形成されており、この層間絶縁膜22上に内部配線23が配設されている。層間絶縁膜22および内部配線23の表面は、たとえば窒化シリコンで構成される保護膜24で覆われている。保護膜24には、内部配線23に対向して、内部配線23の一部をそれぞれ露出させるためのパッド開口部25が形成されている。

【0019】パッド開口部25を介して保護膜24から露出した内部配線23上には、耐酸化性の金属で構成されたバンパBSが隆起して形成されている。耐酸化性の金属としては、たとえば、金、プラチナ、銀、パラジウムまたはイリジウムなどを例示することができる。保護膜24の表面は、変形可能な封止膜26で覆われている。封止膜26の表面には、バンパBSに関連して、たとえばすり鉢状の凹部27が形成されており、バンパBSの先端部は、凹部27内に突出して封止膜26から露出している。また、封止膜26の表面には、親チップ1との接合時において、互いに隣接する凹部27を連通するための連通溝28と、周縁付近の凹部27から空気（エア）を抜くためのエア抜き溝29が形成されている。

【0020】封止膜26は、たとえば、感光性が付与されたポリイミドで構成されていて、凹部27、連通溝28およびエア抜き溝29は、露光および現像処理を行うことにより形成することができる。つまり、保護膜24にパッド開口部25を形成し、このパッド開口部25を介して露出した内部配線23上にバンパBSを形成した後、保護膜24上にゾル状の感光性ポリイミドを塗布す

ることにより封止膜26を形成する。この封止膜26は、たとえば、バンパBSの高さよりも大きい膜厚に形成する。そして、封止膜26の表面のバンパBSに対向する領域、連通溝28を形成すべき領域およびエア抜き溝29を形成すべき領域に紫外線を照射して、これらの領域の露光を行う。その後、封止膜26の表面の露光された部分を溶剤で溶かして除去することにより、凹部27、連通溝28およびエア抜き溝29をパターン形成することができる。

10 【0021】子チップ2を親チップ1に接合する際には、バンパBSを親チップ1のバンパBMに当接させた状態で、親チップ1と子チップ2とを相互に圧接する。この圧接により、親チップ1のバンパBMと子チップ2のバンパBSとが圧着されて、親チップ1と子チップ2との電気接続が達成される。また、親チップ1の封止膜26および子チップ2の封止膜26が圧潰され、それぞれの封止膜26に形成された凹部27、連通溝28およびエア抜き溝29がなくなってチップ間封止層4が形成され、このチップ間封止層4によって親チップ1と子チップ2との間が封止される。この封止の際、凹部27内の空気は、エア抜き溝29を通して親チップ1と子チップ2との間から外部へ抜け出るか、または、連通溝28を通して隣接する凹部27へ流入し、この凹部27に接続されたエア抜き溝29を通して外部へ抜け出る。これにより、親チップ1と子チップ2との間から空気をほぼ完全に除去することができ、親チップ1と子チップ2との間を良好に封止できる。

20 【0022】以上のように、この実施形態によれば、親チップ1のバンパBMと子チップ2のバンパBSとが直接に圧着されることにより、親チップ1と子チップ2とが電気接続され、親チップ1の封止膜26と子チップ2の封止膜26とが接合されてチップ間封止層4を形成することにより、親チップ1と子チップ2との間が封止される。

30 【0023】たとえば、バンパBM、BSが金で構成されている場合、バンパBMとバンパBSとの圧着に要する時間は約0.1秒間程度と比較的短時間である。したがって、この実施形態の構成によれば、バンパBM、BSをACF (Anisotropic Conductive Film) を介在させて接続する構成に比べて、この半導体装置の製造に要する時間を短縮することができる。

40 【0024】また、親チップ1の封止膜26と子チップ2の封止膜26との間の空気は、これらの封止膜26の接合時（チップ間封止層4の形成時）にほぼ完全に除去され、チップ間封止層4の形成後においては、このチップ間封止層4によって親チップ1および子チップ2間に空気が入り込むことが防止される。これにより、親チップ1と子チップ2との間を良好に封止することができ、親チップ1および子チップ2間への気泡混入による不都合を生じるおそれがない半導体装置を実現できる。

【0025】なお、この実施形態では、パンプBM、BSの形成後に封止膜26が形成されたとしたが、封止膜26が形成された後にパンプBM、BSが形成されてもよい。たとえば、図4(a)に示すように、保護膜24にパッド開口部25を形成した後、このパッド開口部25外の保護膜24上に封止膜26を形成する。言い換えれば、パッド開口部25が形成された保護膜24上に、パッド開口部25に対応した開口部26Aを有する封止膜26を積層する。そして、図4(b)に示すように、開口部26Aおよびパッド開口部25を介して露出した内部配線23上に、たとえばメッキによってパンプBM、BSの材料を堆積させることにより、パンプBM、BSを形成してもよい。

【0026】また、この実施形態では、封止膜26の膜厚がパンプBM、BSの高さよりも大きく設定されているが、封止膜26の膜厚は、封止膜26およびパンプBM、BSの材料に応じて適切に変更されるとよい。たとえば、図4(b)に仮想線で示すように、封止膜26の膜厚が、パンプBM、BSの高さよりも低く設定されてもよい。なお、封止膜26の材料としては、感光性ポリイミド以外に、たとえばJCR(Junction Coat Resist: 商品名)を用いることができる。

【0027】さらに、この実施形態では、封止膜26の表面に凹部27が形成され、この凹部27から連通溝28およびエア抜き溝29が延びて形成されているが、たとえば、図5に示すように、封止膜26の表面に帯状の凹部51がチップ周縁に沿って形成され、この凹部51内に複数のパンプBM、BSの先端部を突出させてもよい。

【0028】さらにまた、封止膜26が感光性を有し、封止膜26の表面の凹部27、連通溝28およびエア抜き溝29は露光および現像処理によって形成されたとしたが、封止膜26が感光性を有していない場合には、封止膜26上にレジスト膜がパターン形成され、このレジスト膜で覆われていない部分がエッチングによって除去されることにより、凹部27、連通溝28およびエア抜き溝29が形成されるとよい。

【0029】図6は、この発明の他の実施形態について説明するために、親チップ1および子チップ2の接合前の状態を拡大して示す部分拡大断面図である。この図6において、図2に示す各部に相当する部分には、図2の場合と同一の参照符号を付して示すこととし、以下では、上述した第1の実施形態との相違点を中心に説明する。

【0030】この実施形態では、上述した第1の実施形態で子チップ2の表面に設けられている封止膜26が省略されており、子チップ2の保護膜24の表面が露出している。また、親チップ1には、パッド開口部25を介して保護膜24から露出した内部配線23上に、耐酸化性の金属からなる薄膜状の金属パッド61が設けられて

おり、保護膜24上には、金属パッド61に対応した開口部62を有する封止膜63が積層されている。

【0031】親チップ1と子チップ2との接合時には、パンプBSが封止膜63の開口部62に入り込み、パンプBSの先端部がパッド開口部25に対応して金属パッド61に形成された凹部61A内に入り込み、パンプBSと金属パッド61とが凹凸結合をなした状態で圧着される。また、親チップ1の封止膜63が子チップ2の保護膜24に圧接されることにより、封止膜63とパンプBSとの隙間がなくなってチップ間封止層4(図1参照)が形成され、このチップ間封止層4によって親チップ1と子チップ2との間が封止される。

【0032】したがって、この実施形態の構成によっても、上述した第1の実施形態の構成と同様に、この半導体装置の製造に要する時間を短縮することができる。また、親チップ1と子チップ2との間を良好に封止することができ、気泡混入による内部ストレスを生じるおそれがない半導体装置を実現できる。そのうえ、この実施形態では、親チップ1と子チップ2とを接合する際に、パンプBSが封止膜63に形成された開口部62に案内され、パンプBSの先端部が金属パッド61の凹部61Aに入り込むことにより凹凸結合をなすから、親チップ1と子チップ2との位置合わせを良好に行うことができ、親チップ1と子チップ2との電気接続を確実に形成することができる。

【0033】なお、この実施形態では、親チップ1に金属パッド61および封止膜63が設けられ、子チップ2にパンプBSが設けられているが、親チップ1にパンプBMが設けられ、子チップ2に金属パッド61および封止膜63が設けられてもよい。また、親チップ1に金属パッド61が設けられ、子チップ2にパンプBSおよび封止膜63が設けられてもよいし、親チップ1にパンプBMおよび封止膜63が設けられ、子チップ2に金属パッド61が設けられてもよい。

【0034】さらに、封止膜63の表面には、開口部62内の空気を抜き出すためのエア抜き溝が形成されていることが好ましい。このエア抜き溝を設けておけば、親チップ1と子チップ2とを接合させる際に、封止膜63と開口部62内に入り込んだパンプBSとの間の空気をエア抜き溝を介して流出させて、親チップ1と子チップ2との間から空気をほぼ完全に除去することができ、親チップ1と子チップ2との間をより良好に封止できる。

【0035】この発明の実施の形態の説明は以上の通りであるが、この発明は、上述した実施形態に限定されるものではない。たとえば、親チップ1および子チップ2は、いずれもシリコンからなるチップであるとしたが、シリコンの他にも、化合物半導体(たとえばガリウム砒素半導体など)やゲルマニウム半導体などの他の任意の半導体材料を用いた半導体チップであってもよい。この場合に、親チップ1の半導体材料と子チップ2の半導体

材料は、同じでもよいし異なってもよい。

【0036】その他、特許請求の範囲に記載された事項の範囲内で、種々の設計変更を施すことが可能である。

【図面の簡単な説明】

【図1】この発明の一実施形態に係る半導体装置の概略構成を示す図解的な断面図である。

【図2】親チップおよび子チップの接合前の状態を拡大して示す部分拡大断面図である。

【図3】子チップの一部を拡大して示す平面図である。

【図4】バンパおよび封止膜の他の形成方法について説明するための断面図である。

【図5】封止膜の他の構成について説明するための平面図である。

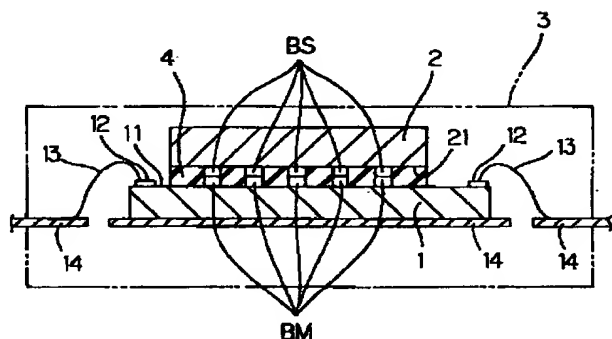
【図6】この発明の他の実施形態について説明するため

に、親チップおよび子チップの接合前の状態を拡大して示す部分拡大断面図である。

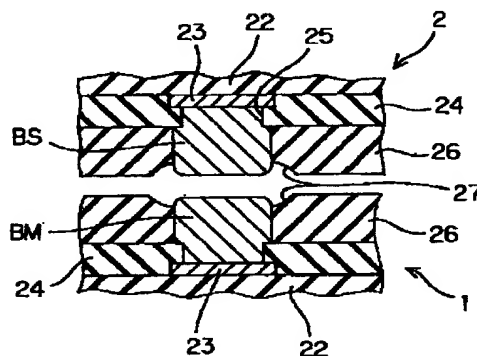
【符号の説明】

- 1 親チップ（第1の半導体チップ）
- 2 子チップ（第2の半導体チップ）
- 4 チップ間封止層
- 11 表面（第1の半導体チップの表面）
- 21 表面（第2の半導体チップの表面）
- 26, 63 封止膜
- 27, 51 凹部
- 29 エア抜き溝
- 61 金属パッド（接続部材）
- 62 開口部（パッドに対向する開口部）
- BM, BS バンパ（接続部材）

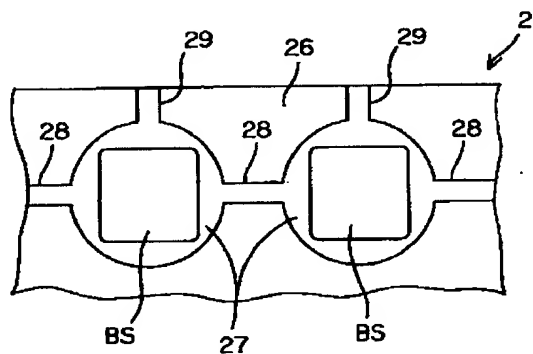
【図1】



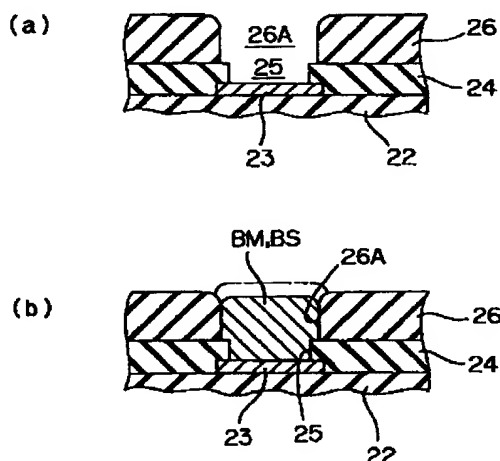
【図2】



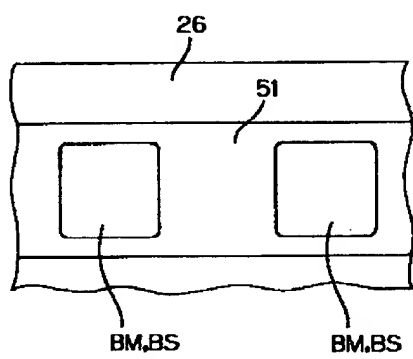
【図3】



【図4】



【図5】



【図6】

